

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PAT-NO: JP403101384A  
DOCUMENT-IDENTIFIER: JP 03101384 A  
TITLE: EXPOSURE CONTROL CIRCUIT FOR CCD  
SOLID-STATE IMAGE PICKUP ELEMENT  
PUBN-DATE: April 26, 1991

INVENTOR-INFORMATION:  
NAME  
HIGASHITSUTSUMI, YOSHIHITO

ASSIGNEE-INFORMATION:  
NAME  
SANYO ELECTRIC CO LTD

COUNTRY  
N/A

APPL-NO: JP02212018  
APPL-DATE: August 9, 1990

INT-CL (IPC): H04N005/335

ABSTRACT:

PURPOSE: To realize the optimum response state by comparing an integral value that is the output of a CCD solid-state image pickup element with a reference level, performing up/down counting, and varying the driving timing of a reverse transfer means.

CONSTITUTION: Part of video output is integrated at an integration circuit 13, and integral output is compared with an adjustable reference voltage at need at a comparator 14. The comparator 14 performs the above comparison at every vertical scan period and simultaneously, generates a

count-up pulse when the output of the integration circuit 13 exceeds the reference voltage, i.e., when exposure is limited, and generates a count-down pulse when the former goes less than the latter i.e., when the exposure is increased. When a timing pulse is inputted to a reverse transfer pulse generation circuit 17, a reverse transfer pulse with prescribed pulse width is inputted to a switching pulse generation circuit 18. Thereby, the optimum exposure state can be obtained.

COPYRIGHT: (C)1991, JPO&Japio

## ⑫ 公開特許公報(A) 平3-101384

⑤ Int.Cl.<sup>5</sup>

H 04 N 5/335

識別記号

庁内整理番号

Q

8838-5C

④ 公開 平成3年(1991)4月26日

審査請求 有 発明の数 1 (全6頁)

⑥ 発明の名称 CCD固体撮像素子の露出制御回路

⑪ 特 願 平2-212018

⑫ 出 願 昭61(1986)9月11日

前実用新案出願日援用

⑬ 発 明 者 東 堤 良 仁 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
⑭ 出 願 人 三 洋 電 機 株 式 有 限 公 司 大阪府守口市京阪本通2丁目18番地  
⑮ 代 理 人 弁 理 士 西 野 卓 嗣 外 2 名

## 明細書

## 1. 発明の名称

CCD固体撮像素子の露出制御回路

## 2. 特許請求の範囲

(1) 受光エリアの蓄積電荷を垂直走査のブランキング期間に蓄積エリアに転送し、該蓄積エリアの蓄積電荷を水平走査信号に同期して転送出力するフレームトランスファ型のCCD固体撮像素子と、

前記受光エリアの蓄積電荷を水平走査のブランキング期間に前記蓄積エリアとは反対方向に転送する逆転送手段と、

前記CCD固体撮像素子の出力レベルに応じて前記逆転送手段の駆動タイミングを制御する転送制御手段とを、

それぞれ配してなり、

前記転送制御手段は、前記CCD固体撮像素子の出力を積分する積分回路と、該積分回路の出力と基準レベルとを比較する比較回路と、該比較回路の出力に基づいてアップカウント又はダウンカウ

ントをなすアップダウンカウンタと、該アップダウンカウンタの出力に基づいて前記逆転送手段の駆動タイミングを変化させるタイミング制御回路と、備えてなることを特徴とする露出制御回路。

## 2. 発明の詳細な説明

## (イ) 産業上の利用分野

本発明は、CCD固体撮像素子の露出制御回路に関する。

## (ロ) 従来技術

テレビカメラの露出制御は、通常アイリス制御回路によりレンズ筒内の絞り機構を制御しておりコストアップの要因となっていた。そこで、例えば昭和54年7月1日発行の「テレビジョン学会誌」第33巻第7号第536～541頁には、受光期間中の光電速度を2段階に切り換えるべく、蓄積電極に対して従来の電荷転送電圧に等しい第1の電位と第1の電位より低レベルの第2の電位とを選択的に印加すると共に、両電位の切り換えタイミングを撮像出力レベルに対応して変更することにより一定の撮像出力レベルを得るように構

成した露出制御回路が開示されている。

以下、上述する露出制御回路の構成に付いて説明する。

第2図はフレームトランスファ型CCD固体撮像素子の動作説明図であり、CCD固体撮像素子は、受光エリア(1)と、蓄積エリア(2)と、水平転送レジスタ(3)と、出力アンプ(4)とからなり、受光エリア(1)と蓄積エリア(2)にはそれぞれ4相の垂直転送クロック( $\phi_1$ )～( $\phi_4$ )と( $\phi_{s1}$ )～( $\phi_{s4}$ )とが印加され、水平転送レジスタ(3)には2相の水平転送クロック( $\phi_{H1}$ )( $\phi_{H2}$ )が印加される。

受光エリア(1)に印加される垂直転送クロックは、第1・第2の電極に第1相・第2相の垂直転送クロック( $\phi_1$ )( $\phi_2$ )が、また第3・第4の電極に第3相・第4相の垂直転送クロック( $\phi_3$ )( $\phi_4$ )がそれぞれ印加される。受光エリアに於て第1及び第3の電極下はn型の拡散層が、また第2及び第4の電極下はp型の拡散層がそれぞれ形成されており、光蓄積期間中(受光期間

3相( $\phi_3$ )、第4相( $\phi_4$ )と順に発せられ、受光エリア(1)にある全ての蓄積電荷を蓄積エリア(2)に転送する。転送された蓄積電荷は垂直転送クロック( $\phi_{s1}$ )～( $\phi_{s4}$ )によって1水平走査期間に1ラインの割合で水平走査のブランキング期間に水平転送レジスタ(3)に転送される。水平転送レジスタ(3)に転送された蓄積電荷は水平転送クロック( $\phi_{H1}$ )( $\phi_{H2}$ )に同期して映像信号期間に導出され、出力アンプ(4)を介して撮像出力として導出される。

(ハ)発明が解決しようとする課題

しかし、上述の露出制御回路の場合、蓄積電位として電荷転送電位とは異なる電位を設定するために別の電源を必要とし、回路規模の増大を伴ってコストアップを招くことになる。

そこで、フレームトランスファ型のCCD固体撮像素子に於て、水平走査のブランキング期間に受光エリアの蓄積電荷を受光エリア外へ排出する排出手段と、CCD固体撮像素子の出力レベルに応じて排出手段の駆動タイミングを制御する排出

中)に第1及び第2の電極がハイレベルになると受光エリア(1)のポテンシャル状態は第3図に示すような状態となり、第2の電極下に光電変換された電荷が蓄積されることになる。

第4図は、各垂直転送クロック( $\phi_1$ )～( $\phi_4$ )の出力波形を示す図である。図より明らかなように、第1相と第2相の垂直転送クロック( $\phi_1$ )( $\phi_2$ )がハイレベルとなって電荷の蓄積がなされるとき、転送電位である第1の電位 $V_0$ より低い第2の電位 $V_k$ を設定し、両電位 $V_0$ ・ $V_k$ の切り換えタイミングを変化させることにより最適な露出状態を実現している。即ち、光蓄積期間 $t_n$ に於ける第2の電位印加期間 $t_k$ が長くなると電荷の蓄積は制限され、逆に短くなると電荷の蓄積は増加傾向となる。このように蓄積量をコントロールされた蓄積電荷は、垂直走査のブランキング期間内に設定される電荷転送期間に蓄積エリア(2)に転送される。この順方向転送期間に於てデューティサイクルを50%とすると垂直転送クロックは、第1相( $\phi_1$ )、第2相( $\phi_2$ )、第

制御手段とを設けた露出制御回路が考えられている。

ところが、上述する構成に於て、排出制御手段をアナログサーボで構成する場合、露出変化に対する正方向と逆方向との応答が等しくなるため、露光過多となったときに露出抑圧の応答が遅れて感じることがある。

(ニ)課題を解決するための手段

そこで本発明は、フレームトランスファ型のCCD固体撮像素子に於て、前記受光エリアの蓄積電荷を水平走査のブランキング期間に前記蓄積エリアとは反対方向に転送する逆転送手段と、前記CCD固体撮像素子の出力レベルに応じて前記逆転送手段の駆動タイミングを制御する転送制御手段とを、それぞれ配してなり、前記転送制御手段を、前記CCD固体撮像素子の出力を積分する積分回路と、該積分回路の出力と基準レベルとを比較する比較回路と、該比較回路の出力に基づいてアップカウント又はダウンカウントをなすアップダウンカウンタと、該アップダウンカウンタの出

力に基づいて前記逆転送手段の駆動タイミングを変化させるタイミング制御回路と、によって構成することを特徴とする。

#### (ホ) 作用

本発明によれば、必要に応じてアップカウントの量とダウンカウントの量とを異ならせることができ、変化する方向に応じて応答速度が別々に設定されると共に、受光状態にある受光エリアに於て、蓄積電荷が逆方向に転送されて排出されるように構成されており、その駆動タイミングを撮像素子の出力レベルに対応して変化させることで最適の露出状態が得られる。

#### (ヘ) 実施例

以下、本発明を図示する一実施例に従い説明する。

第1図は、本発明露出制御回路の回路ブロック図である。本実施例は、基本クロックを発生する発振回路(5)、基本クロックを入力する水平ブランキングパルス発生回路(7)と第1・第2の転送クロック発生回路(8)(10)と逆転送ク

送クロックとは逆相であり、受光エリア(1)の電極に印加されたとき受光エリア(1)の蓄積電荷を逆方向に転送して図示省略したオーバーフローレインに流し出している。また、この逆転送クロックは、撮像素子に対するノイズの発生を防止するため水平走査のブランキング期間にのみ導出される関係上、1回の転送ライン数が制限される。そこで本実施例では、複数の水平走査期間に亘って逆転送を維持することにより受光エリア(1)内の全ての蓄積電荷を消去している。また受光エリア(1)の画素数が少ない場合には、1回の転送で蓄積電荷の消去を完了することも可能である。

導出された撮像素子の出力は、映像処理回路(12)に於て処理され、映像信号として出力される。この映像出力は、一部が積分回路(13)に於て積分される。積分出力は、撮像素子出力レベルと対応関係にあり、積分出力レベルを所定の範囲内に固定することが露出状態を一定にすることとなる。積分出力は、レベル比較回路(14)に於いて必要

に応じて調整可能な基準電圧と比較される。このレベル比較回路(14)は、垂直走査期間毎に比較をしながら積分回路(13)の方が大きくなる時、即ち露出を制限するときカウントアップパルスが発生し、小さくなる時、即ち露出を増加するときカウントダウンパルスが発生する。このカウントアップパルスとカウントダウンパルスとは、アップダウンカウンタ(15)の計数入力とされる。従って、アップダウンカウンタ(15)の出力はCCD固体撮像素子の受光エリア(1)への入射光量に応じて変化する。このアップダウンカウンタ(15)の出力は、垂直ブランキングパルスに従ってダウンカウンタ(16)にプリセットされる。プリセット後、このダウンカウンタ(16)は、クロックパルスをダウンカウントして出力が「0」となったときにタイミングパルスが発生する。このタイミングパルスが逆転送パルス発生回路(17)に入力されると、所定のパルス幅を有する逆転送パルスが切り換えパルス発生回路(18)に入力される。切り換えパルス発

生回路(9)と水平転送クロック発生回路(11)とを配している。第1の転送クロック発生回路(8)は、垂直ブランキングパルスを制御入力として垂直走査のブランキング期間に受光エリア(1)の蓄積電荷を蓄積エリア(2)に転送するため第1の転送クロックを出力する。第2の転送クロック発生回路(10)は、垂直走査のブランキング期間に第1の転送クロックと同様に蓄積エリア(2)に蓄積電荷を転送するクロック及び、蓄積エリア(2)内の蓄積電荷を水平走査のブランキング期間に1ラインづつ水平転送レジスタ(3)に転送するクロックよりなる第2の転送クロックを出力する。水平転送クロック発生回路(11)は、水平走査のブランキング期間に水平転送レジスタ(3)に転送された蓄積電荷を繰く水平走査期間に導出せしめる2相の水平転送クロックを出力する。逆転送クロック発生回路(9)は、水平走査のブランキング期間に4相の逆転送クロックを出力する。尚、この逆転送クロックは垂直走査のブランキング期間に発せられる垂直転

生回路(18)は、逆転送パルスと水平ブランキングパルスとの論理積出力を切り換えパルスとしてクロック選択回路(19)に入力している。このクロック選択回路(19)は、切り換えパルスの度に逆転送クロックを選択出力することになり受光エリア(1)中の蓄積電荷は、光蓄積期間中の逆転送パルス発生タイミングに於て水平走査のブランキング期間毎に逆転送され、所定の水平走査期間で全ての蓄積電荷が受光エリア(1)外に排出される。その結果、受光エリア(1)より蓄積エリア(2)に転送される蓄積電荷は、逆転送以後に蓄積された電荷となり、逆転送パルスの発生タイミングが露光量を調整する。

第5図は、クロック選択回路(19)より受光エリア(1)の電極に印加される第1の垂直転送クロック( $\phi_1$ )～( $\phi_4$ )の波形説明図である。光蓄積期間に於て第1相及び第2相の垂直転送クロック( $\phi_1$ )( $\phi_2$ )はハイレベル状態にあり、当該電極下に光電変換によって発生する電荷を蓄積する。また第1の垂直転送クロック( $\phi_1$ )～

出力される第2の転送クロック( $\phi_{s1}$ )～( $\phi_{s4}$ )は、第7図に示すように水平走査のブランキング期間に1クロックづつ発生し、水平転送レジスタ(3)に1ラインづつの蓄積電荷を転送する。

#### (ト) 発明の効果

本発明によれば、露出を制御する方向に応じて応答速度をそれぞれ自由に設定でき、最適な応答状態をコストアップを作うことなく実現できる。

また、水平転送がなされていないブランキング期間に逆転送が行われるため、逆転送に伴って発生するノイズが撮像出力に混入することもなく、その効果は大である。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路ブロック図、第2図はフレームトランスファ型CCD固体撮像素子の動作説明図、第3図は光蓄積期間に於ける受光エリアのポテンシャル状態説明図、第4図は従来の第1の垂直転送クロック波形説明図、第5図は本発明の第1の垂直転送クロック波形説明図、第6図は垂直走査のブランキング期間に於

( $\phi_4$ )は、垂直走査のブランキング期間蓄積電荷を蓄積エリア(2)に転送しており、図中のタイミング1～1<sub>4</sub>に於て、受光エリア(1)及び蓄積エリア(2)の電極下のポテンシャルは第6図のように変化する。従って、垂直走査のブランキング期間期間に於て蓄積電荷は、時間の経過と共に順方向(蓄積エリア方向)に転送される。一方、第5図より明らかなように、発生タイミングが制御される逆転送パルスに対応して発生する逆転送クロックは、逆転送パルスの発生期間に対応してクロック選択回路から受光エリア(1)に供給される。この逆転送クロックは、第7図に図示するように水平走査のブランキング期間にのみ発生し、第8図に拡大して示すようなクロック波形を呈する。この第8図に於けるタイミング1<sub>1</sub>～1<sub>4</sub>に於て、当該電極下のポテンシャルは第9図に示すように変化する。従って、蓄積電荷は逆転送時に時間の経過と共に逆方向に転送されてオーバーフローラインに排出されることになる。尚、第2の転送クロック発生回路(10)より

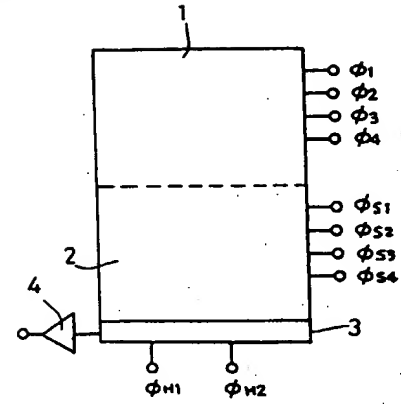
けるポテンシャル変化説明図、第7図は逆転送クロック及び第2の垂直転送クロックの波形説明図、第8図は逆転送クロック波形説明図、第9図は逆転送時のポテンシャル変化説明図である。

(1) ……受光エリア、(2) ……蓄積エリア  
(3) ……水平転送レジスタ、(6) ……水平ブランキングパルス発生回路、(7) ……垂直ブランキングパルス発生回路、(8) ……第1の転送クロック発生回路、(9) ……逆転送クロック発生回路、(10) ……第2の転送クロック発生回路、(11) ……水平転送クロック発生回路、(13) ……積分回路、(14) ……レベル比較回路、(15) ……アップダウンカウンタ、(17) ……逆転送パルス発生回路。

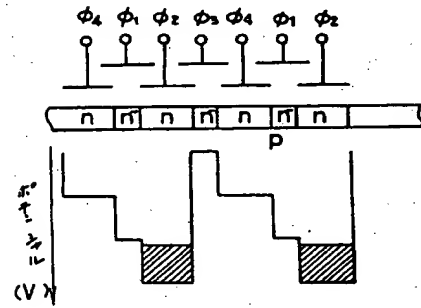
出願人 三洋電機株式会社

代理人 弁理士 西野卓爾(外2名)

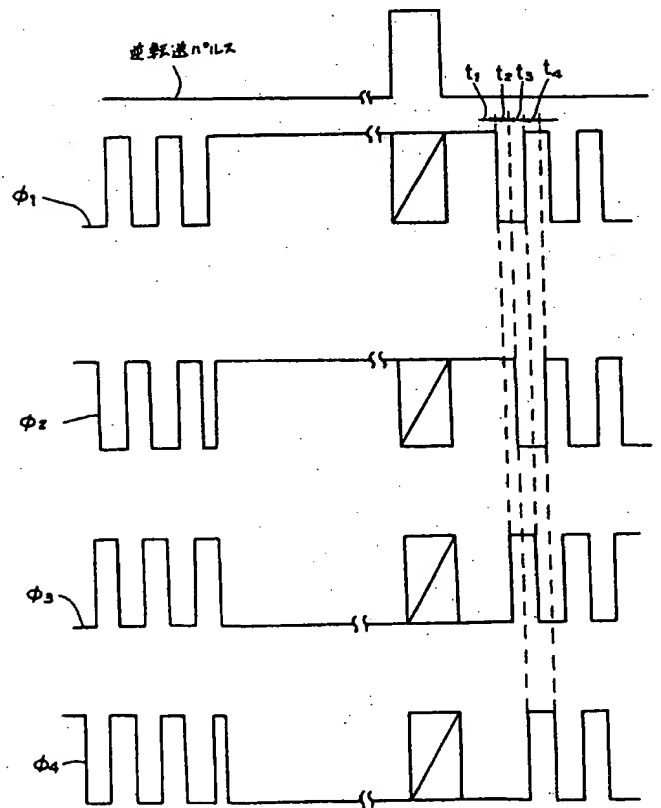
第 2 図



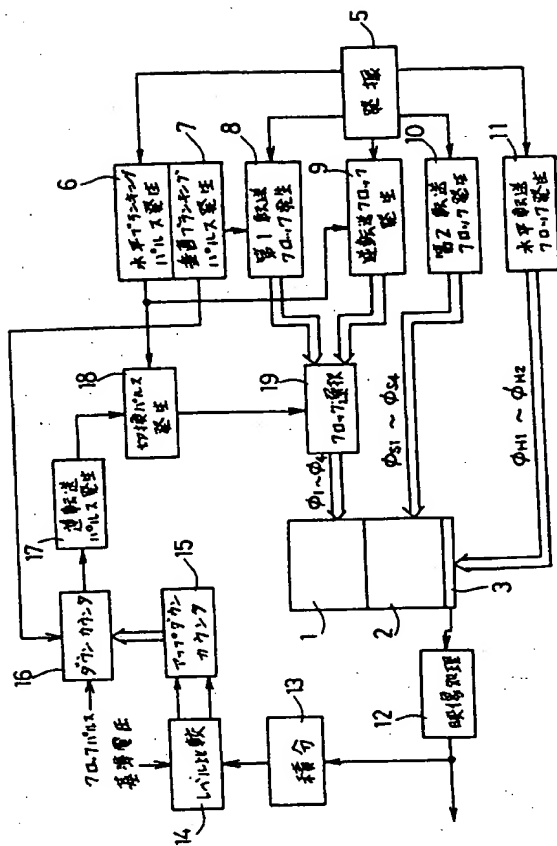
第 3 図



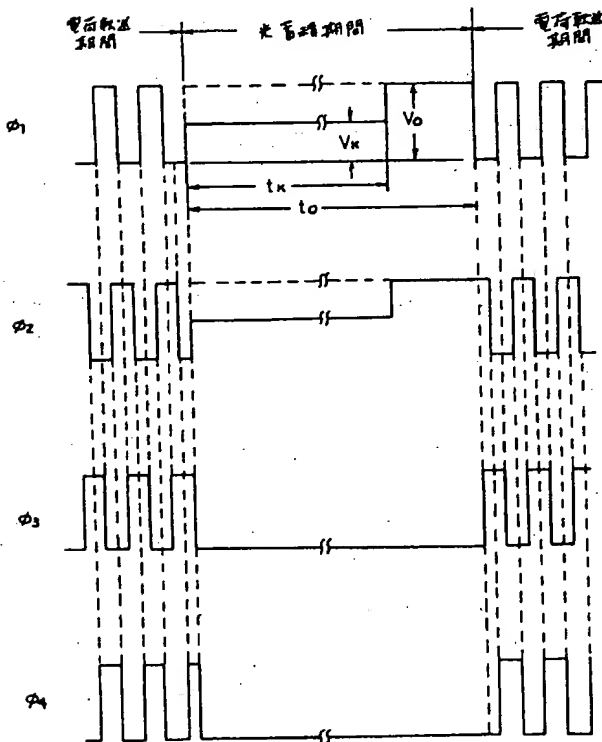
第 5 図



第 1 図

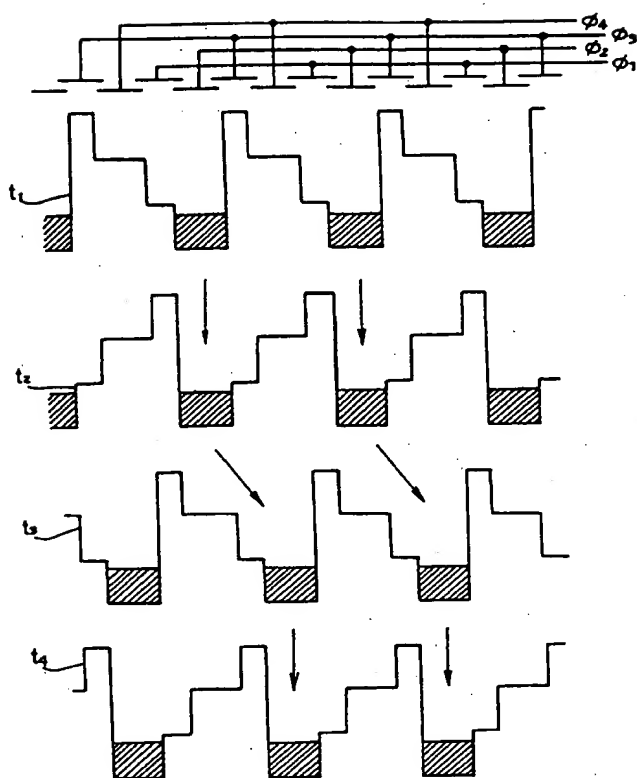


第 4 図

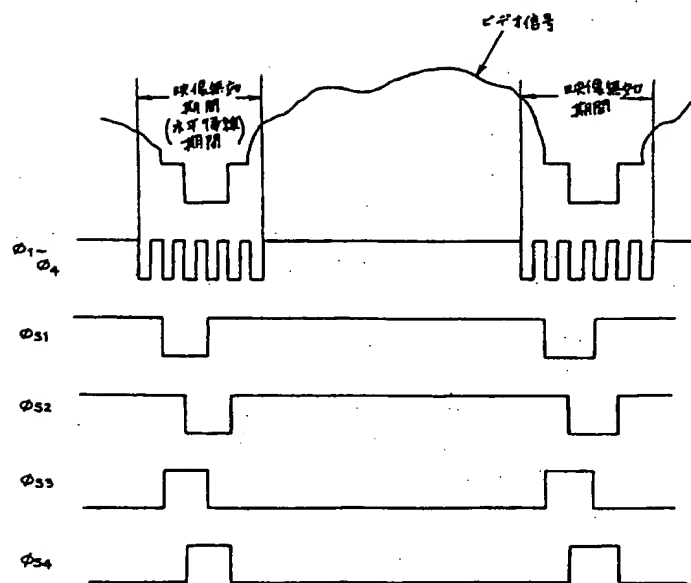




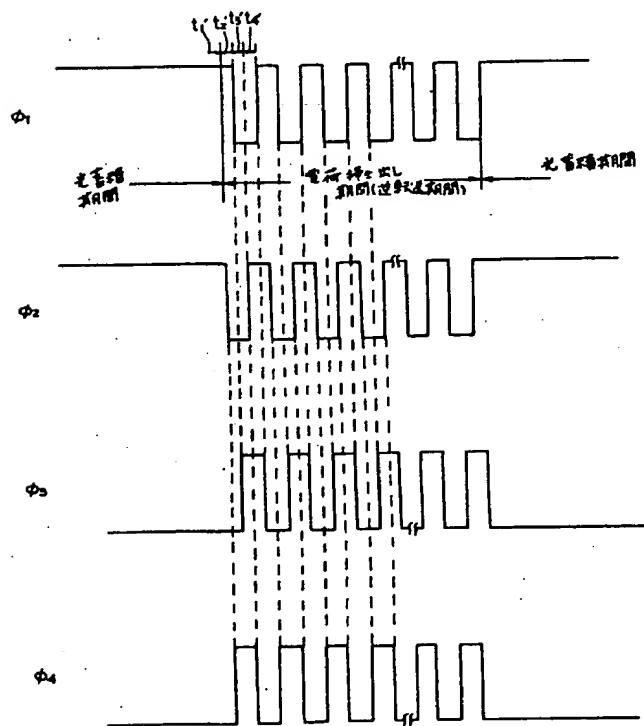
第 6 図



第 7 図



第 8 図



第 9 図

